

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

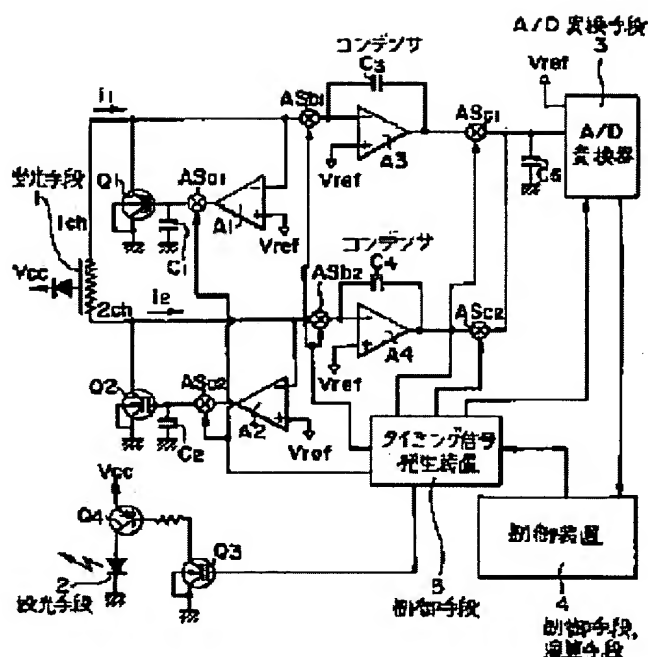
RANGE FINDER

Patent number:	JP5280973
Publication date:	1993-10-29
Inventor:	INOUE AKIRA
Applicant:	OLYMPUS OPTICAL CO LTD
Classification:	
- international:	G01C3/06; G02B7/32; G03B13/36
- european:	
Application number:	JP19920079821 19920401
Priority number(s):	

Abstract of JP5280973

PURPOSE:To perform range finding with a wide dynamic range with an A/D- converter having low resolution used.

CONSTITUTION: A timing signal generator 5 is used first to turn ASa1, ASa2 ON and turn ASb1, ASb2 OFF, and steady photo current is bypassed to Q1, Q2. Then ASa1, ASa2 are turned OFF and ASb1, ASb2 are turned ON so that IRED 1 is illuminated and signal current i_1 , i_2 is integrated in integral capacitors C3, C4. At this time the number and time of integrations, etc., are controlled so that the current is within a dynamic range of the A/D-converter 3.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(51) Int.Cl.⁵

G 0 6 F 13/28

識別記号

3 1 0 L

庁内整理番号

7052-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 8 頁)

(21) 出願番号 特願平3-178554

(22) 出願日 平成3年(1991)7月19日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 山下 祥司

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

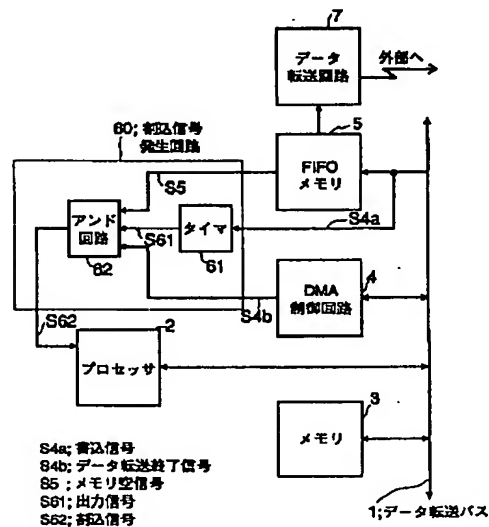
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 パースト転送終了割込信号発生回路

(57) 【要約】

【目的】 パースト転送終了割込信号発生回路から誤ってパースト転送終了の割込信号をプロセッサに与えることを防止する。

【構成】 データ一時記憶用のFIFOメモリ5のメモリ空信号S5がオンであり、DMA制御回路4がパースト転送終了を示すデータ転送終了信号S4bがオンであり、かつDMA制御回路4がFIFOメモリ5へ与える書込信号S4aがタイマ61の遅延によって一定時間存在しないこと、つまりタイマ出力信号S61がオンになるという3つの条件を満足した時に、アンド回路62から割込信号S62を出力し、プロセッサ2へ与える。



本発明の実施例のパースト・データ転送処理装置

1

【特許請求の範囲】

【請求項1】 バースト転送終結処理を行うプロセッサを介することなく、

ダイレクト・メモリ・アクセス制御回路によってデータをバースト的にデータの一時記憶用先入先出メモリに書込んでバースト転送を行う時に、該バースト転送の終了を割込信号の形で前記プロセッサに知らせるバースト転送終了割込信号発生回路において、

前記先入先出メモリのメモリ領域が空を示すメモリ空信号がオンで、前記ダイレクト・メモリ・アクセス制御回路がデータ転送終了を示すデータ転送終了信号がオンであり、かつ前記ダイレクト・メモリ・アクセス制御回路が前記先入先出メモリへ与える書込信号が一定時間存在しないことを条件にして、前記割込信号を前記プロセッサに供給する構成にしたことを特徴とするバースト転送終了割込信号発生回路。

【請求項2】 請求項1記載のバースト転送終了割込信号発生回路において、

前記先入先出メモリへ供給する書込信号を一定時間遅らせるタイマと、

前記メモリ空信号、前記データ転送終了信号、及び前記タイマの出力の論理積を求めて前記割込信号を出力するアンド回路とで、

構成したことを特徴とするバースト転送終了割込信号発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、先入先出メモリ（以下、FIFOメモリという）をデータ転送経路上の一時記憶に持つバースト・データ転送処理装置等におけるバースト転送終了割込信号発生回路に関するものである。

【0002】

【従来の技術】 図2は、従来のバースト転送終了割込信号発生回路を組み込んだバースト・データ転送処理装置の一構成例を示すブロック図である。

【0003】 このバースト・データ転送処理装置は、データ転送バス1を有し、それには装置全体を制御するプロセッサ2、データ格納用のメモリ3、ダイレクト・メモリ・アクセス制御回路（以下、DMA制御回路という）、及びFIFOメモリ5が接続されている。DMA制御回路4は、プロセッサ2を介さずに、メモリ3からデータを読み出し、書込信号S4aをFIFOメモリ5へ与え、そのFIFOメモリ5へ読出したデータを書込むというバースト転送を実施し、バースト転送終了後にデータ転送終了信号S4bを出力する機能を有している。FIFOメモリ5は、そのメモリ領域が空になると、メモリ空信号S5を出力する機能を有している。

【0004】 DMA制御回路4及びFIFOメモリ5には、バースト転送終了割込信号発生回路（以下、この回路を単に割込信号発生回路と略称することもある）6が

2

接続され、さらに該FIFOメモリ5に、データ転送回路7が接続されている。割込信号発生回路6は、データの一時記憶用FIFOメモリ5のメモリ領域が空を示すメモリ空信号S5がオンであり、かつDMA制御回路4がバースト転送終了を示すデータ転送終了信号S4bがオンである時に、バースト転送終了を割込信号S6の形でプロセッサ2に通知する機能を有している。データ転送回路7は、FIFOメモリ5に書込まれたデータを自発的に取り出して図示しない外部へ送出する機能を有している。

【0005】 ここで、DMA制御回路4は、例えば数十～数百ナノ秒毎に単位ワードの読み書きを繰り返し、高速バースト転送を実現するものとする。

【0006】 次に、動作を説明する。

【0007】 プロセッサ2は、DMA制御回路4に対してバースト転送を命令すると、該DMA制御回路4が、メモリ3からデータを読み出し、その読出したデータを書込信号S4aによってFIFOメモリ5へ書込む。このFIFOメモリ5に書込まれたデータは、データ転送回路7によって自発的に取り出され、外部へ送出される。

【0008】 プロセッサ2は、バースト転送中には何等それに関与せず、全く別の処理を実行してシステム全体の処理効率を高めている。割込信号発生回路6は、DMA制御回路4からのデータ転送終了信号S4bがオン、かつFIFOメモリ5のメモリ空信号S5がオンの時に、割込信号S6をプロセッサ2へ供給する。これにより、プロセッサ2は、データ転送が終了したことを認識できる。

【0009】 このように、プロセッサ2は、割込信号発生回路6からの割込信号S6を監視することにより、バースト転送の終了のタイミングを判断でき、そのタイミングを即時、外部へ通知することができる。このプロセッサ2からの通知を受ける外部の装置は、バースト・データの最後尾データを受信するタイミングと、前記通知とのタイミングが合致するので、効率的な処理が実現できる。

【0010】

【発明が解決しようとする課題】 しかしながら、従来のバースト転送終了割込信号発生回路6では、次のような課題があった。

【0011】 (a) バースト転送する語数は一般にその都度可変長であり、どのような長さであっても通知を受ける外部装置で、前記タイミングを保障する必要がある。ところが、従来の構成では、バースト語数が極小であるという条件で、FIFOメモリ5内に外部に送出すべきデータが残留しているにも関わらず、誤った割込信号S6を発生する。

【0012】 つまり、FIFOメモリ5は、例えば空の状態からデータが1個入った場合、そのデータが1個入ったことをある時間遅れをもって該FIFOメモリ5外

へ知らせる。そのため、FIFOメモリ5内に送出すべきデータが残留しているにも関わらず、瞬間的にメモリ空信号S5がオンになることがあり、それによって割込信号発生回路6が誤った割込信号S6を発生するおそれがある。このような誤った割込信号S6が発生すると、外部の通知を受ける装置側で、前記タイミングを保障するようにプロセッサ2が該外部装置に通知するのは困難である。

【0013】(b) パースト語数が極小であるという特別な条件以外でも、パースト・データ転送中、データ転送バス1の輻輳(ビジー)等によってパースト・データの流れが該データ転送バス1上で一時途絶えて、FIFOメモリ5において空の状態がパースト・データの後尾で発生すると、前記(a)と同様な現象が発生する。

【0014】(c) 一般的な現象として、パースト・データ転送中、データ転送回路7が外部へデータを送り出す速度が、DMA制御回路4の転送速度より若干速い場合で、該FIFOメモリ5がしばしば空になるような転送条件の時、パースト・データ転送の後尾で前記と同様な現象が発生する。

【0015】(d) 従来の割込信号発生回路6では、FIFOメモリ5の空信号S5がオンし、かつDMA制御回路4のデータ転送終了信号S4bがオンの時に、プロセッサ2に与える割込信号S6を生成している。そのため、DMA制御回路4がパースト最終データをFIFOメモリ5に書込んだ時、該DMA制御回路4はデータ転送終了信号S4bをオンにしているが、該FIFOメモリ5の動作に遅れがあるため、メモリ空信号S5は即オフにならずにしばらくの間オンのままである。これにより、FIFOメモリ5内にデータが存在している時でも、誤った割込信号S6が出力されることがある。

【0016】本発明は、前記従来技術が持っていた課題として、誤って割込信号S6がプロセッサ2に供給されるという点について解決したパースト転送終了割込信号発生回路を提供するものである。

【0017】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、パースト転送終結処理を行うプロセッサを介することなく、DMA制御回路によってデータをパースト的にデータの一時記憶用FIFOメモリに書込んでパースト転送を行う時に、該パースト転送の終了を割込信号の形で前記プロセッサに知らせるパースト転送終了割込信号発生回路において、次のように構成している。

【0018】即ち、前記FIFOメモリのメモリ領域が空を示すメモリ空信号がオンで、前記DMA制御回路がデータ転送終了を示すデータ転送終了信号がオンであり、かつ前記DMA制御回路が前記FIFOメモリへ与える書込信号が一定時間存在しないことを条件にして、前記割込信号を前記プロセッサに供給する構成にしてい

る。

【0019】第2の発明では、第1の発明のバースト転送終了割込信号発生回路を、前記FIFOメモリへ供給する書込信号を一定時間遅らせるタイマと、前記メモリ空信号、前記データ転送終了信号、及び前記タイマの出力の論理積を求めて前記割込信号を出力するアンド回路とで、構成している。

【0020】

【作用】第1の発明によれば、従来のバースト転送終了割込信号発生回路の出力条件を規定する簡単な入力条件を一つ付加することにより、プロセッサに対する誤った割込信号の供給を防止している。つまり、FIFOメモリのメモリ空信号のオンと、DMA制御回路のデータ転送終了信号のオンの2つの信号の他に、該DMA制御回路がFIFOメモリに対する書込信号を与え終えた時から一定時間はパースト転送終了割込信号発生回路の出力をオンにしないという条件を付加している。

【0021】これにより、プロセッサはDMA制御回路にバースト転送の指示を与えると、以後はパースト転送とは直接関係しない別処理を実施している。このパースト転送実施中は、DMA制御回路により、データがFIFOメモリに書込まれる。このFIFOメモリに書込まれたデータは、データ転送回路等で読出され、外部に転送される。

【0022】DMA制御回路が出力するデータ終了信号がオンし、FIFOメモリのメモリ空信号がオンし、さらにDMA制御回路がFIFOメモリに書込信号を与え終えた時から一定時間後のオンになる信号の、3つの信号により、パースト転送終了割込信号発生回路から割込信号がプロセッサへ出力される。これにより、プロセッサはパースト転送が終了したことを認識し、パースト転送の終了判定の精度が向上する。

【0023】第2の発明では、FIFOメモリに与える書込信号をタイマで一定時間遅らせ、メモリ空信号、タイマの出力信号、及びデータ転送終了信号をアンド回路に与え、該アンド回路で3入力の論理積を求めて割込信号を生成している。これにより、簡単な回路でかつ的確に、パースト転送の終了判定の精度が向上する。従って、前記課題を解決できるのである。

【0024】

【実施例】図1は、本発明の実施例を示すパースト転送終了割込信号発生回路を組み込んだパースト・データ転送処理装置の構成ブロック図であり、従来の図2中の要素と共通の要素には共通の符号が付されている。

【0025】このパースト・データ転送処理装置は、従来と同様のデータ転送バス1、プロセッサ2、メモリ3、DMA制御回路4、FIFOメモリ5、及びデータ転送回路7を備えており、そのDMA制御回路4及びFIFOメモリ5の出力側に接続されたパースト転送終了割込信号発生回路60の回路構成のみが、従来のものと

5

異なっている。

【0026】この割込信号発生回路60は、DMA制御回路4からFIFOメモリ5へ与えられる書込信号S4aを一定時間遅延させるタイマ61と、その出力側に接続された3入力のアンド回路62とで、構成されている。アンド回路62は、DMA制御回路4からのデータ転送終了信号S4bと、タイマ61の出力信号S61と、FIFOメモリ5からのメモリ空信号S5とを入力し、それらの論理積を求めて割込信号S62を生成し、該割込信号S62をプロセッサ2へ与える回路である。

【0027】次に、図1の装置の全体的な動作を説明する。プロセッサ2がDMA制御回路4に対してバースト転送指令を与えると、該DMA制御回路4では、該プロセッサ2を介さず、メモリ3からデータを読出し、書込信号S4aをFIFOメモリ5に与え、読出したデータをそのFIFOメモリ5へ書込むというバースト転送を実施する。FIFOメモリ5に書込まれたデータは、データ転送回路7によって取り出され、図示しない外部装置へ送出される。

【0028】この時、バースト転送の終了をプロセッサ2に通知するため、割込信号発生回路60では、DMA制御回路4のデータ転送終了信号S4bがオンであり、FIFOメモリ5のメモリ空信号S5がオンであり、かつFIFOメモリ5への書込信号S4aが存在する（即ち、タイマ61の出力信号S61）という3つの信号を監視し、それらの論理積を求め、3入力が全てオンの時には割込信号S62を出力する。これにより、プロセッサ2は、割込信号発生回路60からの割込信号S62を監視することにより、バースト・転送の終了のタイミングを知ることができ、そのタイミングを即時かつ正確に外部装置に通知することができる。

【0029】次に、図1の動作（I）、（II）を図3（a）、（b）を用いてさらに詳細に説明する。

【0030】図3（a）はバースト転送中のFIFOメモリ5への書込が途切れなく行われる例、及び同図（b）はバースト転送中のFIFOメモリ5への書込がデータ転送パス1の都合等で待たされる例を示している。

【0031】（i） 図3（a）に示す動作

DMA制御回路4がFIFOメモリ5へ与えるパルス信号からなる書込信号S4aに関して規定個数を出し終えると同時に、該DMA制御回路4は、データ転送終了信号S4bをアンド回路62へ出力する。以後、FIFOメモリ5に書込はない。データ転送回路7により、独自にFIFOメモリ5からデータを取り出しているため、該FIFOメモリ5が記憶しているデータが空になった時点で、メモリ空信号S5がオンとなる。

【0032】一方、タイマ61は、FIFOメモリ5へのパルス信号からなる書込信号S4aが消滅してから一定時間T₁経過後にタイマ出力信号S61をオンにする。この一定時間T₁については、書込信号S4aをF

6

IFOメモリ5が空の時に与えた時、それに対応して該FIFOメモリ5がメモリ空信号S5をオフにするまでの時間より、若干長くする必要があるが、これについては後の（II）の動作で説明する。

【0033】アンド回路62は、データ転送終了信号S4b、タイマ出力信号S61、及びメモリ空信号S5が全てオンの時に割込信号S62をプロセッサ2に与えているので、この時点でFIFOメモリ5内のデータは全てデータ転送回路7を経由して外部に転送済みである。

10 【0034】（II） 図3（b）に示す動作

DMA制御回路4がFIFOメモリ5へ与えるパルス信号からなる書込信号S4aに関して規定個数を出し終えると同時に、該DMA制御回路4は、データ転送終了信号S4bをオンにする。以後、FIFOメモリ5に書込はない。データ転送回路7は、独自にFIFOメモリ5からデータを取り出しているため、該FIFOメモリ5が記憶しているデータが空になった時点でメモリ空信号S5がオンとなる。

20 【0035】図3（a）との相違は、バースト転送中、FIFOメモリ5への書込が等間隔に行われず、書込パルスの間隔が最終書込時に広がっている。そのため、FIFOメモリ5が一旦空になり、その後、最終書込が実施されてFIFOメモリ5のメモリ空信号S5がオフになり、その後再びオンになっている点が図3（a）と異なっている。

30 【0036】図3（b）において、時間T₂は書込信号S4aをFIFOメモリ5が空の時に与えた時、それに対応して該FIFOメモリ5がメモリ空信号S5をオフにするまでの時間であり、該FIFOメモリ5の固有値である。タイマ61の出力信号S61については、FIFOメモリ5への書込パルスが消滅してから一定時間T₂経過後にオンになる信号であり、図3（b）の場合は、書込パルス間隔の相違からオンになる部分が2箇所ある。

40 【0037】アンド回路62は、データ転送終了信号S4b、タイマ出力信号S61、メモリ空信号S5が全てオンの時に、プロセッサ2へ割込信号S62を与えるように構成され、時間T₂は時間T₁より長くなるようにタイマ61で管理される。そのため、データ転送終了信号S4bとメモリ空信号S5がオンになった時点で割込信号S62はアンド回路62から出力されず、データ転送終了信号S4bとタイマ出力信号S61とメモリ空信号S5とがオンになった時点で、アンド回路62がプロセッサ2に対して割込信号S62を与える。この時点で、FIFOメモリ5内のデータは全てデータ転送回路7を経由して外部へ転送済みであることが保障されている。

50 【0038】以上のように、本実施例では次のような利点を有している。データ転送終了信号S4bとメモリ空信号S5の他に、FIFOメモリ5への書込信号S4a

7

をタイマ61を介してタイマ出力信号S61がオンになる一定時間は、アンド回路62から割込信号S62が出力されない。そのため、バースト転送に関わるあらゆるタイミングの変動、あるいはバースト語数がどのように可変しても、プロセッサ2へ与える割込信号S62はバースト転送終了タイミングのうち、FIFOメモリ5からデータ転送回路7を経由してデータが外部へ送出された時点でのタイミングを、プロセッサ2から外部の装置に正確に知らせることを保障することができる。従って、データ転送回路7を経由してデータを受信する外部装置に対し、バースト・データ最後尾データを受信するタイミンを正確に認識させることができるので、例えば外部の受信側装置では高効率及び信頼性の高い処理が可能である。

【0039】なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

【0040】(i) 上記実施例では、バースト転送終了割込信号発生回路60をタイマ61及びアンド回路62で構成したが、タイマ61を他の遅延手段で構成したり、あるいはデータ転送終了信号S4b、タイマ出力信号S61及びメモリ空信号S5の極性を変えることにより、アンド回路62を他のゲート回路等で構成することも可能である。

【0041】(ii) 図1のバースト・データ転送処理装置に、他の機能ブロック等を付加することにより、種々のデータ転送システムを構成しても良い。例えば、FIFOメモリ5を使用したバースト・データ転送回路とプロセッサ2とを組み合わせた一般のデータ転送システムにも、上記実施例を適用でき、それによってバースト・データ転送の汎用性を拡大できる。

【0042】

【発明の効果】以上詳細に説明したように、第1の発明によれば、メモリ空信号がオンで、データ転送終了信号がオンで、かつ書込信号が一定時間存在しないことを条件にして、割込信号をプロセッサに供給するようにした

8

ので、バースト転送に関わるあらゆるタイミングの変動、あるいはバースト語数がどのように可変しても、割込信号がプロセッサに誤って供給されることがなく、バースト転送の終了を正確にプロセッサに知らせることができる。そのため、例えば外部の受信側装置等では、高効率及び信頼性の高い処理が可能となる。

【0043】第2の発明によれば、タイマとアンド回路とでバースト転送終了割込信号を構成したので、タイマで的確に書込信号を遅らせ、データ転送終了信号、タイマ出力信号、及びメモリ空信号が全てオン状態となった時にアンド回路から、簡単な構造で、的確に割込信号をプロセッサへ供給できる。

【図面の簡単な説明】

【図1】本発明の実施例を示すバースト転送終了割込信号発生回路を組み込んだバースト・データ転送処理装置の構成ブロック図である。

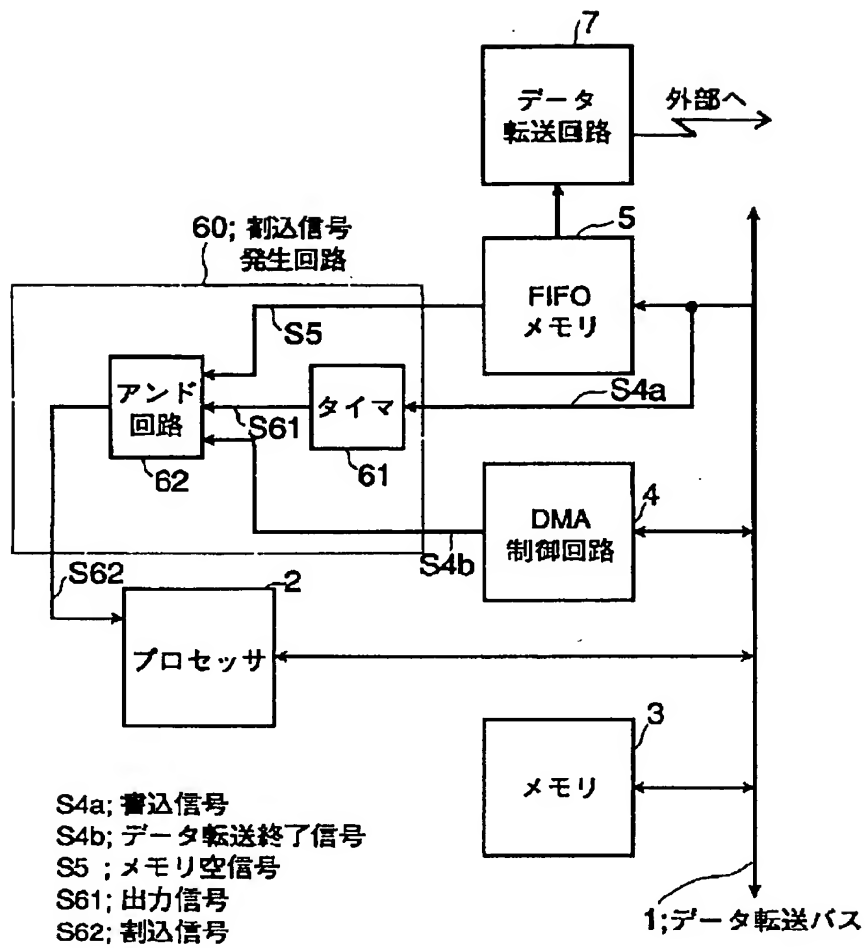
【図2】従来のバースト転送終了割込信号発生回路を組み込んだバースト・データ転送処理装置の構成ブロック図である。

【図3】図1の動作を示すタイミングチャートである。

【符号の説明】

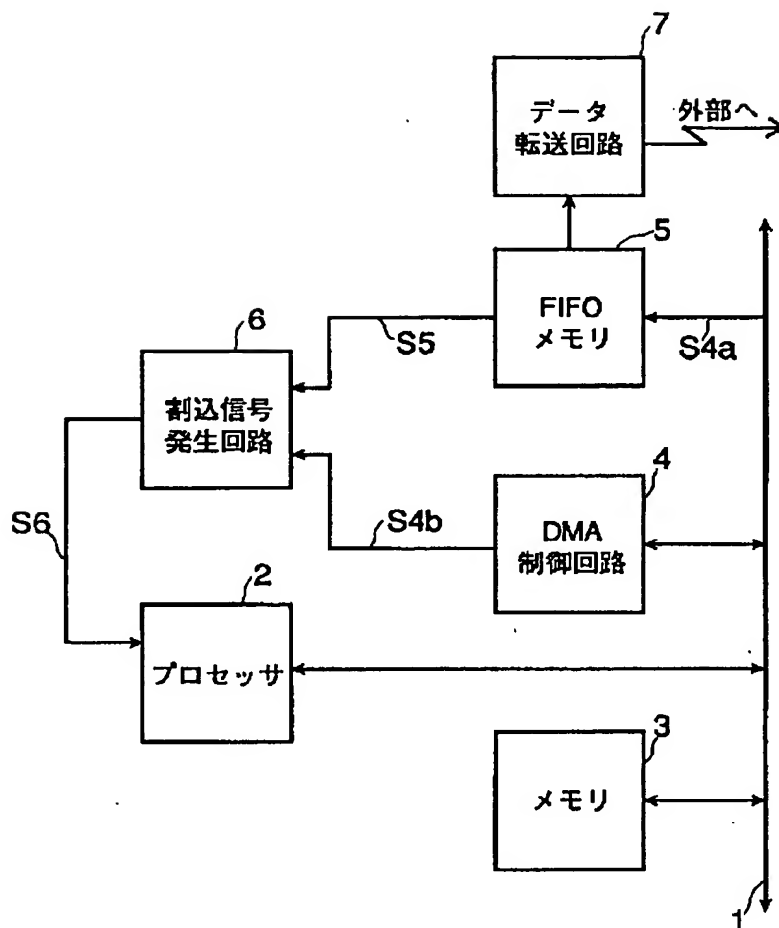
1	データ転送バス
2	プロセッサ
3	メモリ
4	DMA制御回路
5	FIFOメモリ
7	データ転送回路
60	バースト転送終了割込信号発生回路
61	タイマ
62	アンド回路
S4a	書込信号
S4b	データ転送終了信号
S5	メモリ空信号
S61	タイマ出力信号
S62	割込信号

【図1】



本発明の実施例のバースト・データ転送処理装置

【図2】



従来のバースト・データ転送処理装置

【図3】

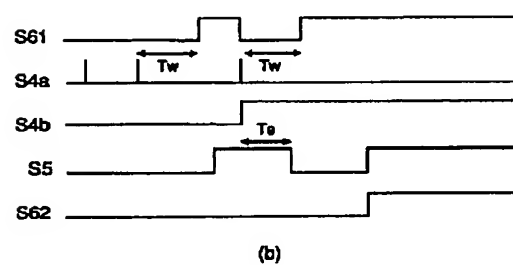
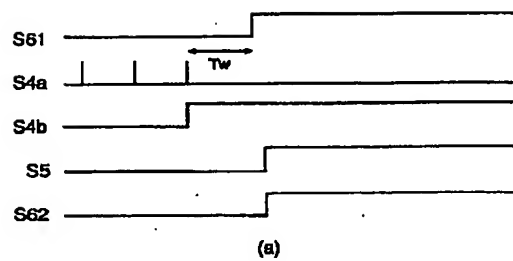


図1のタイミングチャート